

УДК 621.397.46

Реализация входного видеointерфейса видеоконтроллера дисплейного модуля встроенными средствами ПЛИС Spartan-6 фирмы Xilinx

Проведен анализ десериалайзеров интерфейсов DVI и HDMI. Выданы рекомендации по применению десериалайзера на ПЛИС Spartan-6 фирмы Xilinx. Разработан входной видеointерфейс видеоконтроллера.

Ключевые слова:

система индикации, десериалайзер, ПЛИС, TMDS, HDMI interfaces, DVI interfaces.

**Д.В. ЧИСТОБАЕВ,**

инженер-конструктор
ОАО «Конструкторское бюро "Дисплей"»,
аспирант Витебского государственного
университета

Введение. В настоящее время в видеотехнике остаются популярными видеointерфейсы DVI и HDMI, использующие дифференциальные линии TMDS. Такие видеointерфейсы также применяются в окологлазных дисплеях и микропроекторах. Для преобразования интерфейсов DVI и HDMI в формат микродисплейных модулей и ЖК-матриц прибегают к десериалайзерам. Десериалайзер может быть реализован в виде отдельного корпуса микросхемы, что часто используется в видеоконтроллерах. В программируемой логической интегральной схеме (ПЛИС) семейства Spartan-6 фирмы Xilinx имеются встроенные модули для работы с дифференциальными сигналами TMDS, что существенно упрощает проектирование видеоконтроллера микродисплейного модуля, снижает энергопотребление и габариты печатной платы. TMDS (Transition Minimized Differential Signaling) – дифференциальный сигнал с минимизированными переходами. Такой сигнал лежит в основе видеointерфейсов DVI (Digital Visual Interface) – цифрового видеointерфейса и HDMI (High Definition Multimedia Interface) – мультимедийного интерфейса высокой четкости.

Интерфейсы DVI и HDMI состоят из четырех TMDS дифференциальных пар. Одна из них

используется для передачи тактовых импульсов с пиксельной частотой, остальные три – для передачи цветовой информации RGB, кадровых и строчных синхронизирующих сигналов. Минимизация переходов через нуль достигается путем использования кодера 8В/10В на каждом из трех RGB-каналов. Работа этого кодера заключается в преобразовании 8-битных видеоданных в 10-битный код с симметричной последовательностью. Такой алгоритм кодирования обеспечивает надежное восстановление тактовых сигналов и данных в приемнике, снижает уровень помех между электронными устройствами, а также обеспечивает баланс постоянного тока на последовательной линии связи, повышая помехоустойчивость в линиях связи. Используя TMDS-кодирование, HDMI-интерфейс имеет пропускную способность в пределах от 4,9 (HDMI 1.0) до 48 (HDMI 2.1) Гбит/с [1].

Кодер видеосигнала TMDS на первом этапе осуществляет логическую операцию XOR/XNOR, минимизирующую в последовательности количество переходов между 0 и 1. На втором этапе совершается логическая операция INV/NONINV, которая

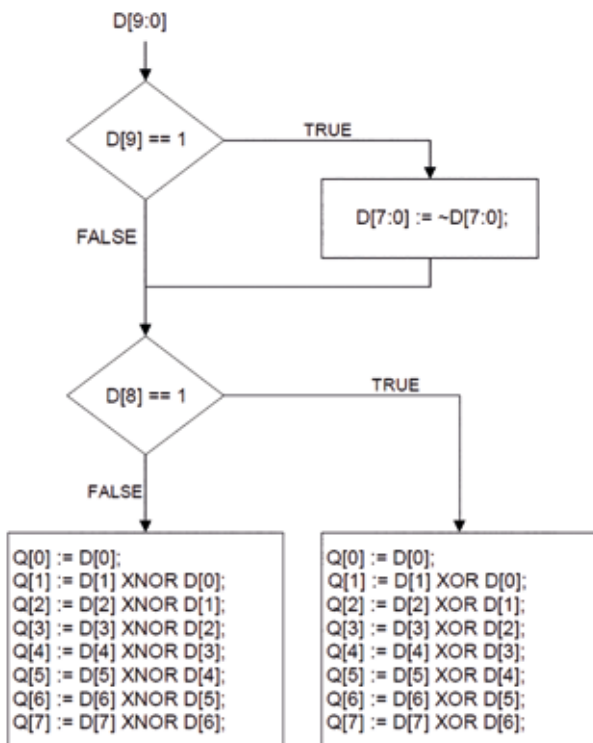


Рисунок 1 – Алгоритм декодирования сигналов TMDS

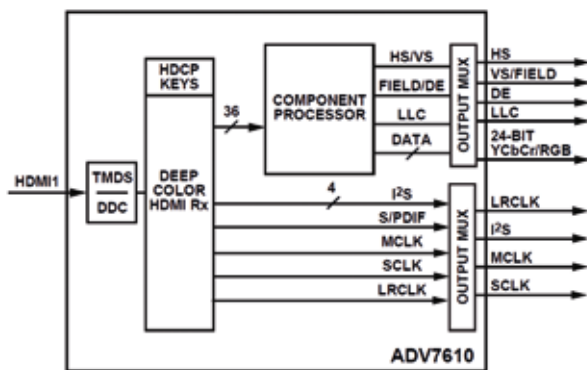


Рисунок 2 – Структурная схема ADV7610

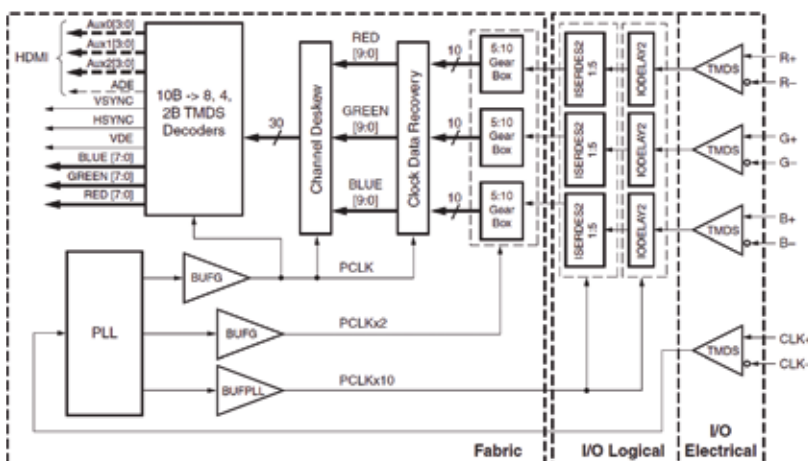


Рисунок 3 – Схема включения модулей ПЛИС Spartan-6 фирмы Xilinx для декодирования сигналов TMDS

создает баланс постоянного тока. После осуществления этапов кодирования добавляются два дополнительных бита. Декодирование на стороне приемника происходит в обратной последовательности. На рис. 1 представлен алгоритм декодирования сигналов TMDS [2, 3].

Для сравнения: интерфейс LVDS (Low Voltage Differential Signaling – низковольтный дифференциальный сигнал) не использует специальный алгоритм для минимизации переходов через нуль. Этот интерфейс также широко применяется для передачи видеосигналов, для связи видеоконтроллеров и ЖК-матриц внутри дисплейных устройств и электронных модулей, где линия связи имеет малую длину.

Специализированные микросхемы преобразователей видеointерфейсов DVI и HDMI. При проектировании видеоконтроллеров дисплейных устройств возникает необходимость преобразовывать стандартные видеointерфейсы DVI и HDMI в специализированные интерфейсы микродисплейных модулей или ЖК-матриц. Эту функцию можно реализовать, используя специализированные микросхемы десериалайзеров.

Примером микросхемы десериалайзера является TFP401 фирмы Texas Instruments. Эта микросхема позволяет декодировать изображение формата Full HD 1080p с разрешением входного сигнала 1920×1080 60 Гц. Более компактным решением является ADV7610 фирмы Analog Devices. Структурная схема данной микросхемы приведена на рис. 2. ADV7610 реализована в корпусе CSP_BGA размером 6×6 мм.

- Основные технические характеристики ADV7610:
- разрешение входного сигнала – 1920×1080 60 Гц;
 - пиксельная частота – до 165 МГц;
 - потребляемая мощность – 1 Вт.

Преобразование видеointерфейсов DVI и HDMI встроенными средствами ПЛИС Spartan-6 фирмы Xilinx. Для микродисплейных модулей и ЖК-матриц разрешением не более 1280×1024 60 Гц можно реализовать преобразование сигнала TMDS с помощью встроенных модулей ПЛИС Spartan-6 фирмы Xilinx [4].

Блок-схема конфигурации аппаратных и программных модулей для декодирования сигналов TMDS представлена на рис. 3.

Рассмотрим реализацию и принцип работы программного компонента декодирования сигналов TMDS.

Входные сигналы DVI или HDMI подаются на внутренние буферы дифференциальных сигналов TMDS. К каждой входной дифференциальной паре в ПЛИС Spartan-6 можно подключить встроенный блок ISERDES2, который преобразует последовательный поток в 8-битный параллельный сигнал. Одиночный блок ISERDES2 можно соединить каскадом с другим аналогичным блоком, который предназначается для соседней дифференциальной пары. Одиночный блок ISERDES2 может выполнять десериализацию с максимальным соотношением 1:8. Обычно такая схема используется по умолчанию, когда вход ПЛИС конфигурируется как дифференциальная пара TMDS. Блоки ISERDES2 можно настроить для работы в каскадном или одиночном режиме с соотношением параллельных выходов от 1 до 8. Для получения требуемого соотношения 1:10 стандарта TMDS в ПЛИС используются каскадирование блоков ISERDES2 с отношением 1:5 и логическое управляющее устройство GEAR BOX 5:10.

CLK-канал TMDS содержит тактовую частоту (частота передачи пикселей кадра видеозображения), из которой приемник через блок PLL воспроизводит синхронизирующий сигнал для тактирования входящих последовательных потоков цветных данных RGB и синхронизирующих импульсов VSYNC, HSYNC. Воспроизводимый синхронизирующий сигнал для тактирования входящих последовательных потоков цветных данных RGB не имеет гарантированного фазового состояния. Фаза синхронизации должна настраиваться индивидуально для каждого последовательного канала с целью правильной синхронизации входящего битового потока. Настройка включает в себя выравнивание нарастающего фронта синхронизирующего сигнала и положения середины окна выборки в отдельности для каждого битового потока каналов цветных RGB-видеоданных.

Частота дискретизации входящего битового потока восстанавливается через блок PLL с использованием управляющих данных TMDS. Тактовый сигнал TMDS умножается на 10 для соответствия скорости входного битового потока, а затем передается в блок BUFPLL, который направляет увеличенный в 10 раз тактовый сигнал PCLKx10 в блоки ISERDES2 и IODELAY2.

Кроме десериализации последовательного потока данных, блок ISERDES2 имеет функцию фазового детектора. С помощью выборки и сравнения входящих последовательных данных с использованием

блоков ISERDES2 фазовый детектор способен определять фазовое соотношение между текущим фронтом PCLKx10 и положением середины окна выборки. Сигналы управления о фазовых соотношениях отправляются в логику ПЛИС для функций настройки задержки IODELAY2. Блок IODELAY2 обеспечивает динамически настраиваемую линию задержки для входящих потоков последовательных данных. После приема управляющих сигналов от управляющей логики IODELAY2 выравнивает передний фронт PCLKx10 до середины окна выборки данных.

Для обеспечения надежной синхронизации входящих цифровых видеоданных фазовый детектор и IODELAY2 должны иметь возможность сдвинуть окно выборки данных влево или вправо относительно фронта PCLKx10. Эту функцию выполняет процедура калибровки фазового детектора DIFF_PHASE_DETECTOR для блока IODELAY2. Процесс калибровки включает измерение длительности между соседними битами входящих цифровых видеоданных. Измеренная длительность становится максимальным значением задержки и сохраняется как значение MAX во внутреннем регистре управляющего логического устройства. Затем управляющая логика устанавливает задержку IDELAY в положение HALF_MAX (половина значения MAX). Таким образом обеспечивается динамическая калибровка фазового детектора.

Разработка электрической принципиальной схемы входных цепей видеоконтроллера на ПЛИС Spartan-6 фирмы Xilinx. На рис. 4. представлена электрическая принципиальная схема входных цепей видеоконтроллера микродисплея. На схеме показаны BANK0 ПЛИС Spartan-6 XC6LX45 – DD1.1, микросхемы защиты DD6 и предварительной обработки TMDS-видеосигнала DD7. Цепи питания и выходные цепи ПЛИС на схеме не показаны. На разъем XP4 подается видеосигнал TMDS. Микросхема DD6 – ESD8940 предназначена для защиты входных цепей видеоконтроллера от воздействия внешнего статического напряжения, соответствующего стандартам IEC 61000-4-2 Contact (ESD), IEC 61000-4-2 Air (ESD) ±15кВ. При трассировке печатной платы DD6 монтируется над проходящими дифференциальными парами цепей TMDS как можно ближе к входному разъему XP4. После прохождения защитной микросхемы сигнал TMDS поступает на микросхему эквалайзера ADV3003 – DD7. Микросхема DD7 обеспечивает усиление сигнала после затухания в подключающем кабеле. Микросхема может работать в двух режимах – повторения или усиления сигнала на 6 dB. Режимы выбираются логическим сигналом на выводе PE_EN.

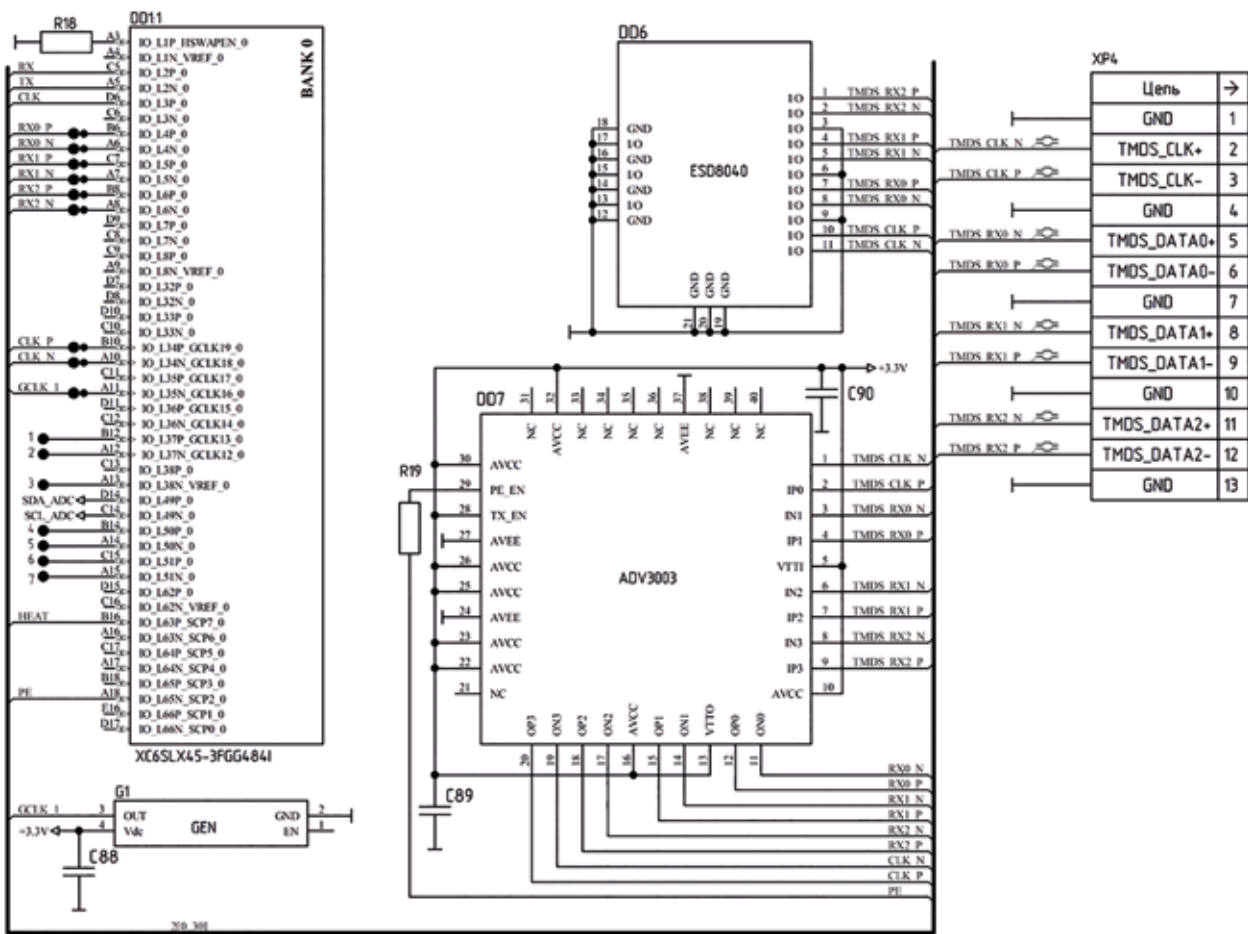


Рисунок 4 – Электрическая принципиальная схема подключения ПЛИС Spartan-6 фирмы Xilinx к внешнему источнику TMD5-видеосигнала

Также микросхема DD7 содержит на сигнальных дифференциальных входах и выходах нагрузочные резисторы 50 Ом, которые должны быть включены подачей логической «1» на вывод TX_EN. Далее сигнал TMD5 поступает в BANK0 ПЛИС Spartan-6 – DD1.1. В ПЛИС имеются встроенные дифференциальные интерфейсы TMD5, которые нужно сконфигурировать в UCF-файле при программировании следующим образом:

```

NET "RX0_TMD5(3)" LOC = "B10" | IOSTANDARD = TMD5_33 ; # CLK
NET "RX0_TMD5B(3)" LOC = "A10" | IOSTANDARD = TMD5_33 ;
NET "RX0_TMD5(2)" LOC = "B6" | IOSTANDARD = TMD5_33 ; # Red
NET "RX0_TMD5B(2)" LOC = "A6" | IOSTANDARD = TMD5_33 ;
NET "RX0_TMD5(1)" LOC = "C7" | IOSTANDARD = TMD5_33 ; # Green
NET "RX0_TMD5B(1)" LOC = "A7" | IOSTANDARD = TMD5_33 ;
NET "RX0_TMD5(0)" LOC = "B8" | IOSTANDARD = TMD5_33 ; # Blue
NET "RX0_TMD5B(0)" LOC = "A8" | IOSTANDARD = TMD5_33 ;
    
```

Внутренние нагрузочные резисторы не подключаются, т. к. используются нагрузочные резисторы внутри микросхемы DD7. Для работы внутреннего блока PPL в ПЛИС дифференциальный сигнал TMD5_CLK необходимо подавать на выводы GCLK, например на дифференциальную пару B10/A10. Остальные дифференциальные сигналы (TMD5_DATA) можно подавать на любые, удобные для трассировки печатной платы

выводы ПЛИС. Общую длину дифференциальных пар TMD5_DATA и TMD5_CLK от XP4 до DD1.1 необходимо уравнивать между собой для одинаковой задержки распространения сигнала TMD5.

После преобразования на выходе программного модуля имеется декодированный видеосигнал RGB 24 бит с синхронизирующими импульсами

VSYNC, HSYNC, VDE. Декодированный видеосигнал после вывода из микросхемы ПЛИС в необходимом интерфейсе TTL или LVDS можно использовать для подключения большинства ЖК-матриц или в пользовательской программе ПЛИС для обработки и преобразования в интерфейс микродисплейного модуля или других устройств отображения. Встроенная программа ПЛИС позволяет более тонко настроить задержки синхроимпульсов, реализовать при необходимости запоминание строки кадра входного изображения, организовать шину управления подключенной ЖК-матрицы или микродисплейного модуля.

Недостатком данного решения является ограниченная частота входного сигнала, что не позволяет декодировать TMDS-сигналы частотой более 1080 МГц. Преимуществом можно назвать уменьшение энергопотребления, количества корпусов микросхем и массы видеоконтроллера, что является актуальным для окологлазных систем индикации.

При необходимости работы видеоконтроллера дисплейного устройства на более высоком разрешении и возможности гибкой настройки выходного видеointерфейса применяется комбинация специализированной микросхемы преобразователя DVI- или HDMI-сигнала и ПЛИС. В такой схеме входной преобразователь снижает высокую частоту входящих последовательных потоков цветных данных RGB и передает их по параллельному интерфейсу TTL на ПЛИС на низкой частоте. Далее необходимая обработка осуществляется в ПЛИС уже на низкой частоте пикселей. Например, изображение формата Full HD 1080p имеет разрешение входного сигнала 1920×1080 пикселей, частоту кадров 60 Гц и частоту пикселей 148,5 МГц. Выходной декодированный RGB-видеосигнал 24 бит будет иметь также частоту 148,5 МГц, которую можно подавать на входные порты ПЛИС.

Заключение. В работе дан анализ решений для преобразований интерфейсов DVI и HDMI в специализированные интерфейсы микродисплейных модулей или интерфейсы ЖК-матриц. Наиболее дешевым решением является применение

специализированных микросхем десериализаторов TMDS-видеосигнала. При необходимости преобразования в нестандартные видеointерфейсы одним из решений может быть использование встроенных аппаратных модулей ПЛИС Spartan-6, которое обеспечит работу интерфейса с разрешением не более 1280×1024 пикселей и частотой 60 Гц. Представлены электрическая принципиальная схема входных цепей видеоконтроллера и вариант подключения сигналов TMDS к ПЛИС Spartan-6. Для всех схемотехнических решений общей рекомендацией является применение на входе DVI- и HDMI-видеоконтроллера микросхем защиты от статического напряжения и эквалайзера для усиления сигнала TMDS после прохождения внешнего интерфейсного кабеля.

Используя решение на ПЛИС, можно более гибко настроить выходной интерфейс видеоконтроллера, уменьшить габариты печатной платы и массу устройства, что актуально для малогабаритных устройств индикации.

ЛИТЕРАТУРА

1. Supreetha Rao, Kiran Kumar V.G, Kanhu Charan Padhy VHDL Implementation of TMDS encoder for the transmission of video signals in serial communication [Electronic resource]. – Access mode: <http://ijarcet.org/wp-content/uploads/IJARCET-VOL-4-ISSUE-4-1576-1579.pdf> – Date of access: 14.03.2018.
2. High-Definition Multimedia Interface Specification Version 1.4. [Electronic resource] – Access mode: http://d1.amobbs.com/bbs_upload782111/files_51/ourdev_716302E34B9Q.pdf – Date of access: 14.03.2018.
3. DVI Specification. Revision 1.0. [Electronic resource] – Access mode: http://www.cs.unc.edu/~stc/FAQs/Video/dvi_spec-V1_0.pdf – Date of access: 14.03.2018.
4. Bob Feng, XILINX, Implementing a TMDS Video Interface in the Spartan-6 FPGA [Electronic resource]. – Xilinx 2018. – Access mode: https://www.xilinx.com/support/documentation/application_notes/xapp495_S6TMDS_Video_Interface.pdf. – Date of access: 14.03.2018.

Analyzed deserializer of DVI and HDMI interfaces. Recommendations on the use of deserializer on FPGA Xilinx Spartan-6. The input interface of the video controller is designed.

Получено 02.04.2018.